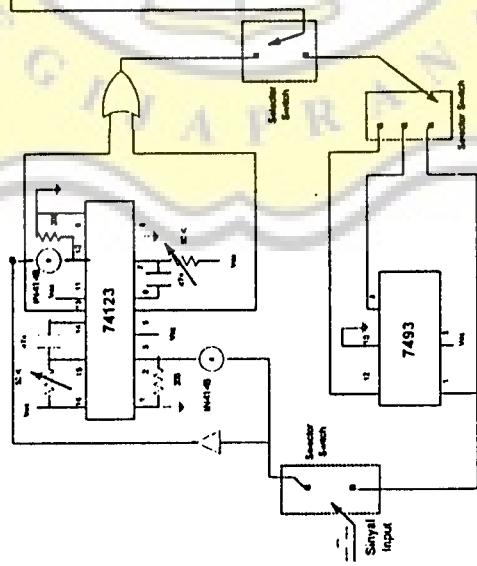
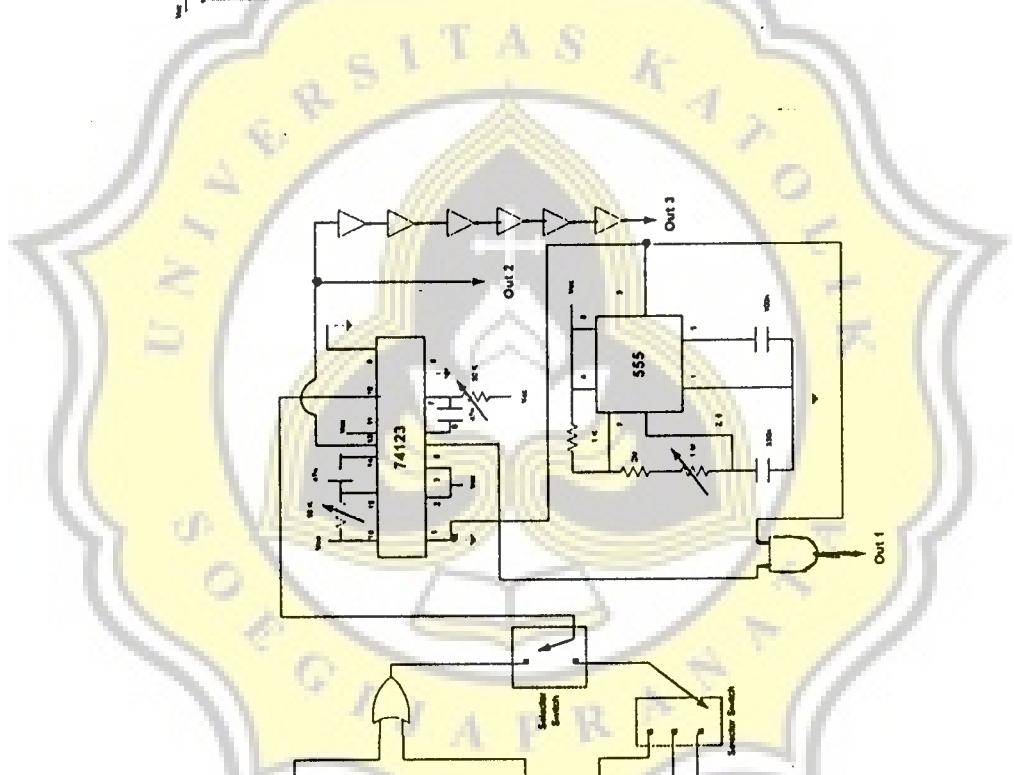
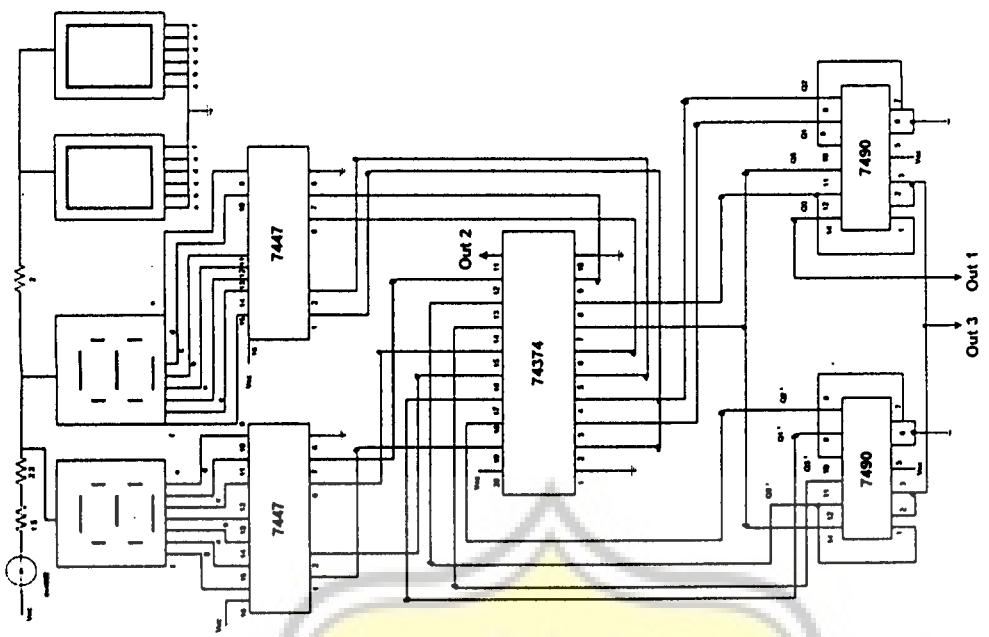


LAMPIRAN





NE/SE 555 Pewaktu (Timer)

Penjelasan Umum

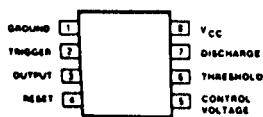
Rangkaian pewaktu monolit NE/SE 555 adalah pengatur yang mantap yang mampu membangkitkan tundaan waktu atau pun guncangan yang cermat. Ada terminal-terminal tambahan guna penyulutan atau pengondisian-ulang (*reset*), kalau diinginkan.

Dalam ragam operasi tundaan waktu, waktu dikemudikan dengan teliti dengan sebuah resistor dan kondensator ekstern. Untuk beroperasi takmantap sebagai osilator, frekuensi bebas, dan daur aktif (*duty cycle*) dikemudikan dengan teliti oleh dua resistor dan satu kondensator ekstern.

Rangkaiannya akan dapat disulut dan di-*reset* pada bentuk gelombang yang sedang jatuh, dan susunan keluarannya akan dapat merupakan sumber ataupun benaman (*sink*) sampai 200 mA ataupun dapat menggerakkan rangkaian-rangkaian TTL.

RC 555 dapat beroperasi dalam jelajahan suhu dari 0° C hingga +70° C. RM 555 tahan terhadap suhu lebih tinggi, dan beroperasi dalam -55° C hingga +125° C.

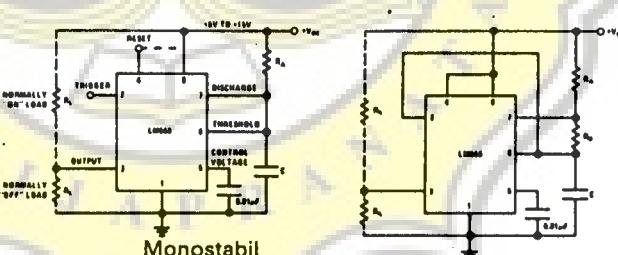
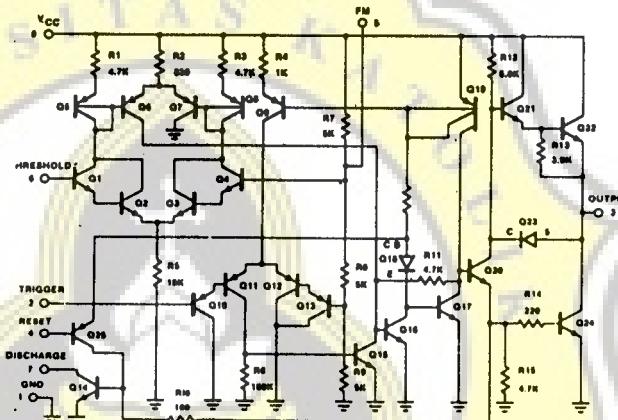
Diagram koneksi



Tarif Maksimum Mutlak

Parameter	Tarif	Satuan
Tegangan catu SE555 NE555, SE555C, Borosan daya	+18 +18 600	V V mW
Jelajahan suhu operasi NE555 SE555, SE555C	0 s/d +70 -55 s/d +125	°C °C
Jelajahan suhu simpan	-65 s/d +150	°C
Suhu timah (penyolderan 60 detik)	300	°C

Skema



Sifat-sifat

- Waktu mati (*off*) kurang dari 12 µdet
- Frekuensi operasi tertinggi besar dari 500 kHz
- Pewaktuan (*timing*) dari mikrodetik hingga jam
- Beroperasi dalam ragam takstabil dan monostabil
- Arus keluaran tinggi
- Daur aktif (*duty cycle*) dapat distel
- Serba-cocok dengan TTL
- Kemantapan suhu 0,005% per °C

Karakteristik Elektrik DC $T_A = 25^\circ C$, $V_{CC} = +5 - +15 V$ kecuali kalau dinyatakan lain.

PARAMETER	TEST CONDITIONS	8E555			NE555/8E555C			UNIT
		Min	Typ	Max	Min	Typ	Max	
Supply voltage		4.5		18	4.5		18	V
Supply current (low state) ¹	$V_{CC} = 5V R_L = -$ $V_{CC} = 15V R_L = -$		3 10	5 12		3 10	6 15	mA mA
Timing error (monostable)	$R_A = 2K\Omega$ to $100K\Omega$							
Initial accuracy ²	$C = 0.1\mu F$		0.5 30 0.05	2.0 100 0.2		1.0 50 0.1	3.0 0.5	% ppm/ $^\circ C$ %/V
Drift with temperature								
Drift with supply voltage								
Timing error (astable)	$R_A, R_B = 1k\Omega$ to $100k\Omega$							
Initial accuracy ²	$C = 0.1\mu F$ $V_{CC} = 15V$		1.5 90 0.15			2.25 150 0.3		% ppm/ $^\circ C$ %/V
Drift with temperature								
Drift with supply voltage								
Control voltage level	$V_{CC} = 15V$	9.6	10.0	10.4	9.0	10.0	11.0	V
	$V_{CC} = 5V$	2.9	3.33	3.8	2.6	3.33	4.0	V
Threshold voltage	$V_{CC} = 15V$	9.4	10.0	10.8	8.8	10.0	11.2	V
	$V_{CC} = 5V$	2.7	3.33	4.0	2.4	3.33	4.2	V
Threshold current ³			0.1	0.25		0.1	0.25	μA
Trigger voltage	$V_{CC} = 15V$	4.8	5.0	5.2	4.75	5.0	5.8	V
	$V_{CC} = 5V$	1.45	1.67	1.9	1.11	1.67	2.2	V
Trigger current	$V_{TRIG} = 0V$		0.5	0.9		0.5	2.0	μA
Reset voltage ⁴		0.4	0.7	1.0	0.4	0.7	1.0	V
Reset current			0.1	0.4		0.1	0.4	mA
Reset current	$V_{RESET} = 0V$		0.4	1.0		0.4	1.5	mA
Output voltage (low)	$V_{CC} = 15V$							
	$I_{SINK} = 10mA$	0.1	0.15			0.1	0.25	V
	$I_{SINK} = 50mA$	0.4	0.5			0.4	0.75	V
	$I_{SINK} = 100mA$	2.0	2.2			2.0	2.5	V
	$I_{SINK} = 200mA$	2.5				2.5		V
	$V_{CC} = 5V$							
	$I_{SINK} = 8mA$	0.1	0.25			0.3	0.4	V
	$I_{SINK} = 5mA$	0.05	0.2			0.25	0.35	V
Output voltage (high)	$V_{CC} = 15V$							
	$I_{SOURCE} = 200mA$	13.0	12.5 13.3		12.75	12.5 13.3		V
	$I_{SOURCE} = 100mA$							V
	$V_{CC} = 5V$							
	$I_{SOURCE} = 100mA$	3.0	3.3		2.75	3.3		V
Turn off time ⁵	$V_{RESET} = V_{CC}$		0.5	2.0		0.5		μs
Rise time of output			100	200		100	300	ns
Fall time of output			100	200		100	300	ns
Discharge leakage current			20	100		20	100	na

CATATAN

- Arus catu bila keluaran tinggi, lumrahnya 1 mA atau kurang
- Diujui pada $V_{CC} = 5V$ dan $V_{CC} = 15V$
- Ini akan menentukan harga maksimum $R_A + R_B$ untuk pengoperasian pada 15 V, total maksimum $R = 10 M\Omega$, untuk pengoperasian pada 5 V, total maks. $R = 3.4 M\Omega$
- Ditentukan dengan masukan sulut tinggi
- Waktu terukur dari denyut mengarah ke positif dari 0 hingga $0.8 \times V_{CC}$ ke ambang, sampai keluaran jatuh dari tinggi ke rendah.

Penerapan

Monostabil:

$$t \approx 1.1 \times R_A \times C$$

Takstabil:

$$t_1 \approx 0.7 \times (R_A + R_B) \times C$$

$$t_2 \approx 0.7 \times R_B \times C$$

$$T = t_1 + t_2$$

- Pewaktuan (*timing*) dengan cermat
- Pembangkit denyut
- Pewaktuan sekuensi
- Pembangkitan tundaan waktu
- Pemodulasi lebar denyut
- Pemodulasi posisi denyut
- Detektor denyut hilang

LM 78XX**Regulator Tegangan Positif dengan 3-terminal
(3-terminal Positive Voltage Regulator)****Penjelasan Umum**

Seri LM 78XX adalah regulator dengan tiga terminal. Dapat diperoleh dengan berbagai tegangan tetap, jadi demikian dapat digunakan dalam jelajahan penerapan yang lebar. Salah satu penerapan adalah peregulasi lokal tanpa terlibat dalam persoalan-persoalan yang menyangkut peregulasi titik tunggal.

Tegangan-tegangan yang diperoleh dari padanya memungkinkan regulator untuk dipakai dalam sistem-sistem logika, instrumentasi, HiFi, dan kelengkapan elektronik satpadat lain. Meskipun semula dirancang sebagai regulator tegangan tetap, namun akan dapat juga diperoleh tegangan-tegangan dan arus-arus yang dapat distel-stel dengan tambahan komponen ekstern.

LM 78XXC

Seri LM 78XXC dapat diperoleh dalam kemasan TO-3 aluminium, yang boleh mengeluarkan arus lebih dari 1,0 A asalkan dilengkapi pemberantap panas (*heat sink*) yang berpadanan. Disertai pula pembatas arus guna membatasi arus keluaran puncak pada harga yang aman. Juga dilengkapi pengamanan bagi daerah aman untuk transistor akhir, guna membatasi borosan (*disipasi*) daya intern. Kalau borosan daya intern menjadi terlalu tinggi bagi benaman panas yang dikenakan, maka rangkaian penindas termik mengambil alih dan mencegah IC menjadi terlalu panas.

Sudah cukup diusahakan agar regulator seri LM 78XXC mudah dipakai, dan meminimkan komponen-komponen tambahan ekstern. Tidaklah perlu memintas (*bypass*) jalankeluar, meskipun ini akan memperbaiki tanggapan kilasan (*transient res-*

ponse). Pemintasan jalankeluar diperlukan hanya kalau regulator berada jauh dari kondensator tapis penting daya.

Sifat-sifat

- Arus keluaran melebihi 1 A
- Pengamanan pembebaran lebih termik secara intern
- Tidak diperlukan komponen ekstern tambahan
- Ada pengamanan daerah aman untuk transistor keluaran
- Pembatas arus hubung-singkat intern
- Dapat diperoleh dalam kemasan TO-3 aluminium

Karakteristik Elektrik

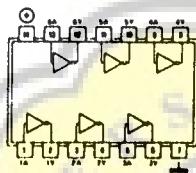
Type	U_{out} (V)	78XXC	I_{out} (A) 78LXX	78MXX	U_{in} (V) min.	max.
7805	5	1	0,1	0,5	7,5	20
7806	6	1	0,1	0,5	8,6	21
7808	8	1	0,1	0,5	10,6	23
7810	10	1	0,1	0,5	12,7	25
7812	12	1	0,1	0,5	14,8	27
7815	15	1	0,1	0,5	18	30
7818	18	1	0,1	0,5	21	33
7824	24	1	0,1	0,5	27,3	38

National hanya tipe-tipe 5 V, 12 V dan 15 V.

IC TTL
54/74(LS)04...09

- 04** Penjungkir berenam
05 Dengan jalankeluar kolektor terbuka
06 Dengan jalankeluar kolektor terbuka (30 V)
 $fan-out = 2,5 \times fan-out standar$
16 Dengan jalankeluar kolektor terbuka (15 V)
 $fan-out = 2,5 \times fan-out standar$

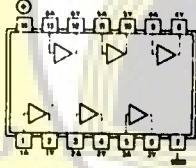
$Y = \bar{A}$



	supply curr. (mA)	tPLH (ns)	tPHL (ns)
04	12	12	8
LS 04	2,4	9	10
05	12	40	8
LS 05	2,4	17	15
06	31	10	15
16	31	10	15

- 07** Penggerak/penyangga dengan jalankeluar kolektor terbuka (30 V)
 $fan-out = 2,5 \times fan-out standar$
17 Dengan jalankeluar kolektor terbuka (15 V)
 $fan-out = 2,5 \times fan-out terbuka$

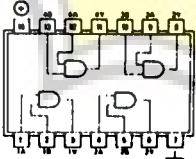
$Y = A$



	supply curr. (mA)	tPLH (ns)	tPHL (ns)
07	25	6	20
17	25	6	20

- 08** Gerbang AND 2-jalanmasuk berempat
09 Dengan jalankeluar kolektor terbuka

$Y = A \cdot B$



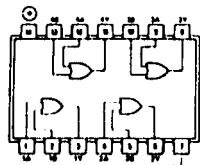
	supply curr. (mA)	tPLH (ns)	tPHL (ns)
08	15	17,5	12
LS 08	3,4	8	10
09	15	21	16
LS 09	3,4	20	17

IC TTL

54/74(LS)32...45

32 Gerbang OR 2-jalanmasuk berempat

$$Y = A + B$$



33: lihat 02

37: lihat 00

38: lihat 00

40: lihat 20

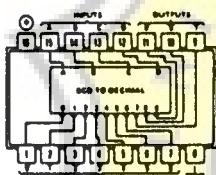
	supply curr. (mA)	t _{PLH} (ns)	t _{PHL} (ns)
32	19	10	14
LS 32	4	14	14

42 Dekoder BCD-dasan

45 Jalankeluar kolektor terbuka (30 V)

145 Jalankeluar kolektor terbuka (15 V)

445 Jalankeluar kolektor terbuka (7 V)



	supply curr. (mA)	t _{PLH} (ns)	t _{PHL} (ns)
42A	28	17	17
LS 42	7	20	20
45	43	50	50
145	43	50	50
LS 145	7	50	50
LS 445	7	50	50

Tabel fungsi

NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	L	H	H
9	H	M	L	H	H	H	H	H	H	H	H	H	H	H
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H

	Condition		Fan-in	Fan-out
	Inputs	Outputs		
42A	L/H	L	1	
		H		10
LS 42	L/H	L/H	1	
		H		20
*45, 145	L/H	L	1	
		H		12,5
*LS 145, LS 445	L/H	L	1	
		H		30

* 7445 dan 74145 mampu membenamkan arus 80 mA

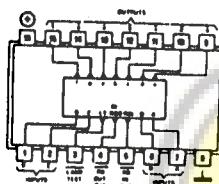
*74LS145 dan 74LS445 mampu membenamkan arus 80 mA

IC TTL
54/74(LS)46-47

46, 246 Penggerak/dekoder BCD-7-segmen dengan jalankeluár kolektor terbuka (30 V)

47, 247 dengan jalankeluár kolektor terbuka (15 V)

347, 447 dengan jalankeluár kolektor terbuka (7 V)



Decimal or Function	LT	AB1	Input				B1/RBO	Output							note
			D	C	B	A		F	E	D	C	B	A		
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	H	H	H	OFF	ON	ON	OFF	ON	ON	OFF	2
2	H	X	L	L	H	I	H	ON	ON	OFF	ON	ON	ON	OFF	3
3	H	X	L	H	H	H	H	ON	ON	ON	ON	ON	ON	OFF	4
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	5
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	ON	ON	ON	6
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	7
7	H	X	L	H	H	H	H	ON	ON	OFF	ON	ON	ON	OFF	8
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	9
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	ON	ON	ON	10
10	H	X	H	L	L	H	H	OFF	OFF	OFF	ON	ON	OFF	ON	11
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	ON	ON	12
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	13
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	14
14	H	X	H	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	15
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	16
81	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
AB1	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

Function table

▲ 46A, 47A, LS47, LS347

□ 246, 247, LS247, LS447

CATATAN:

1. Jalanmasuk polosan (B) harus terbuka atau ditaruh pada taraf logika tinggi bila fungsi-fungsi keluaran 0 hingga 15 diinginkan. Jalanmasuk polosan deret (RBO) harus terbuka atau tinggi kalau pemolosan no dasar tidak diinginkan.
2. Kalau taraf logika rendah dikenakan dengan langsung kepada jalanmasuk polosan (B) maka semua jalankeluár segmen adalah off perduil akan taraf yang ada di sebarang jalanmasuk lain.
3. Bila jalanmasuk polosan deret (RBO) dan juga jalanmasuk-jalanmasuk A, B, C, dan D berada dalam taraf rendah dengan lamp test tinggi, maka semua segmen keluaran off dan jalankeluár polosan deret (RBO) pergi ke taraf rendah (kondisi tanggap).
4. Kalau jalanmasuk polosan/jalankeluár polosan deret (B/RBO) terbuka atau dibiarkan tinggi, dan jalanmasuk lamp test dibuat rendah, maka semua segmen keluaran adalah on.
† B/RBO adalah logika AND kawat yang berguna sebagai jalanmasuk polosan (B) dan/atau jalankeluár polosan deret (RBO)

	Supply curr. (mA)	tPLH (ns)	tPHL (ns)
46A			
47A			
246	64	100	100
247			
LS47			
LS247			
LS347	7	100	100
LS447			

	Condition	Fan-in	Fan-out
46A	B1/RBO inp.	L	2.5
47A		H	1
246	other inp.	L/H	1
247	B1/RBO outp.	L/H	5
	other outp.	L	25
LS47	B1/RBO inp.	L	3
LS247		H	1
	other inp.	L/H	1
	B1/RBO outp.	L	8
		H	2.5
	other outp.	L	60
LS347	B1/RBO inp.	L	3
LS447		H	1
	other inp.	L/H	1
	B1/RBO outp.	L	8
		H	2.5
	other outp.	L	60

IC TTL
54/74(LS)86...90

kepada jalanmasuk-jalanmasuk A>B, A<B, dan A=B yang berpadanan di tingkat berikutnya yang menangani bit berbobot lebih tinggi. Tingkat yang menangani bit paling ringan perlu dikenai tegangan bertaraf tinggi pada jalanmasuk A=B. Jalan-jalanan kaskada dari '85 dan LS85 dilaksanakan dengan tundaan hanya sepanjang dua-taraf gerbang guna mengecilkan waktu penandangan menyeluruh bagi kата yang panjang-panjang.

Tabel fungsi

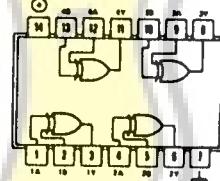
INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

Tabel fungsi

Comparing Inputs				Cascading Inputs		Outputs			
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	L	L

Jalanmasuk A, B, dan A=B memiliki isi-masukan 3.

86 Gerbang OR-Khusus 2-jalanmasuk berempat
136 Dengan jalankeluar kolektor terbuka



$$Y = A \oplus B = \overline{AB} + A\overline{B}$$

	supply curr. (mA)	typ. average propagation delay (ns)
86	30	14
LS 86	6	10
136	30	27
LS 136	6	18

LS86, LS136 Jalanmasuk memiliki isi-masukan 2

Penjelasan

Tiap pencacah taksinkron monolit ini mengandung empat gulang-guling (*flip-flop*) induk-hamba dan tambahan penggerbangan (*gating*) guna memperoleh pencacah bagi-dua dan sebuah pencacah biner tiga-tingkat yang panjang daurnya adalah bagi-lima (untuk '90A, dan 'LS90). Untuk memanfaatkan panjang cacahan se-

90 Pencacah dekada

290 Pencacah dekada

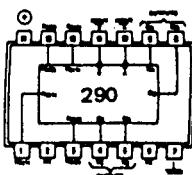
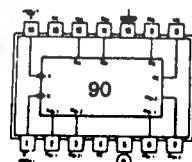
390 Pencacah dekada berdua

Urutan pencacahan BCD
(lihat catatan A)

Count	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

iBikuner (5-2)
(lihat catatan B)

Count	Q _D	Q _C	Q _B
0	L	L	L
1	L	L	H
2	L	L	H
3	L	H	L
4	L	H	H
5	H	L	L
6	H	L	H
7	H	L	H
8	H	H	L
9	H	H	L



IC TTL

54/74(LS)92

penuhnya (dekada, bagi-duabelas, atau biner empat-bit) pada pencacah-pencacah ini, jalanmasuk B dikoneksikan kepada jalankeluar Q_A.

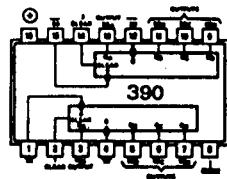
Denyut-denyut cacah masukan dikenakan kepada jalanmasuk A, dan keluarannya adalah seperti yang dijelaskan dalam tabel fungsi yang bersangkutan. Akan dapat diperoleh cacahan bagi-sepuluh yang simetrik dari pencacah '90A atau 'LS90 dengan jalan mengoneksikan jalankeluar Q_D kepada jalanmasuk A, dan menge-nakan cacahan masukan pada jalanmasuk B yang menghasilkan gelombang segiempat bagi-sepuluh di jalankeluar Q_A.

Penjelasan

Tiap pencacah taksinkron monolit ini terdiri atas empat gulang-guling (*flip-flop*) induk-hamba dan penggerbang tambahan untuk membentuk pencacah bagi-dua dan pencacah biner tiga-tingkat yang panjang daur cacahnya adalah bagi-enam untuk '92A.

Untuk menggunakan panjang cacahnya yang maksimum (dekada, bagi-duabelas, atau biner empat-bit) dari pencacah-pencacah ini maka jalanmasuk B dihubungkan kepada jalankeluar Q_A. Denyut-denyut cacah masukan dikenakan kepada jalanmasuk A, dan keluarannya adalah seperti yang dijelaskan dalam tabel fungsi yang bersangkutan.

	supply curr. (mA)	f _{max} (MHz)	(MHz)
	A	B	
'90A	26	32	16
LS 90	8	32	16
290	26	32	16
LS 290	8	32	16
390	42	26	20
LS 390	16	26	12,5



Tabel fungsi Reset/cacah

RESET INPUT			OUTPUT				
R ₀₍₁₎	R ₀₍₂₎	R ₉₍₁₎	R ₉₍₂₎	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

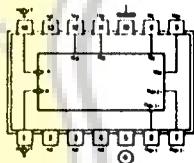
CATATAN:

- A. Jalankeluar Q_A dikoneksikan kepada jalanmasuk B untuk pencacahan BCD
- B. Jalankeluar Q_D dikoneksikan kepada jalanmasuk A untuk pencacahan bikuiner.

Masukan tinggi pada clear membikin rendah keempat jalankeluar.

Jalanmasuk A dan B disulut memiliki isi masukan (*input load*) dua. Jalanmasuk B

92 Pencacah bagi-dua-belas



Urutan cacahan
(lihat catatan)

Count	Output			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

Tabel fungsi Reset/cacah

RESET INPUTS		OUTPUT			
R ₀₍₁₎	R ₀₍₂₎	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			

CATATAN: Jalankeluar Q_A dikoneksikan kepada jalanmasuk B

	supply curr. (mA)	f _{max} (MHz)	(MHz)
	A	B	
'92A	26	32	16
LS 92	9	32	16

Jalanmasuk A dan B disulut jalanmasuk B memiliki isi denyut lonceng pada taraf masukan (*input load*) dua. transisi tinggi-ke-rendah. Ja-

IC TTL
54/74(LS)122-123

Penjelasan

Penggetarganda tersulut-dc memiliki keistimewaan dengan adanya pengemudian lebar denyut dengan tiga cara. Waktu-denayut dasar diacarai dengan memilih-milih harga resistansi dan harga kapasitas ekstern (lihat data terapan). Tipe-tipe 122 dan LS122 memiliki resistor-resistor pewaktu intern, yang membuat rangkaian hanya dapat dipakai dengan hanya sebuah kondensator tambahan ekstern (kalau diinginkan). Kalau satuh kali sudah tersulut, maka lebardenyut dasar dapat diperluas dengan cara penyulutan-ulang jalanmasuk (A) yang diaktifkan oleh taraf-rendah, ataupun jalanmasuk (B) yang diaktifkan oleh taraf-tinggi, atau disempitkan dengan menerapkan clear terjungkit.

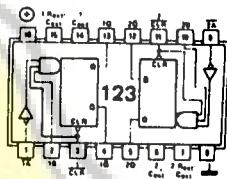
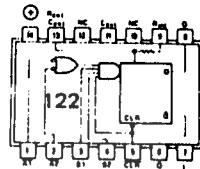
Tipe-tipe 'LS122 dan '123 dilengkapi cukup histeresis Schmitt guna menjamin penyulutan yang bebas gigilan dari jalanmasuk B dengan laju transisi serendah 0,1 milivolt per nanodetik.

122 Penggetarganda monostabil tersulut-ulang (*retriggered*) dilengkapi *clear*.

123 Penggetarganda monostabil tersulut-ulang berdua dilengkapi *clear*

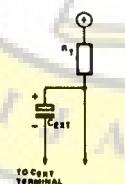
Tabel fungsi						
CLEAR	A1	A2	B1	B2	O	OUTPUTS
X	X	X	X	X	L	0
X	X	X	X	X	H	1
X	X	X	X	X	L	0
X	X	X	X	X	H	1
X	X	X	X	X	L	0
X	X	X	X	X	H	1
X	X	X	X	X	L	0
X	X	X	X	X	H	1
X	X	X	X	X	L	0
X	X	X	X	X	H	1
X	X	X	X	X	L	0
X	X	X	X	X	H	1

Tabel fungsi				
CLEAR	A	B	O	OUTPUTS
X	X	X	L	0
X	X	X	H	1
X	X	X	L	0
X	X	X	H	1
X	X	X	L	0
X	X	X	H	1
X	X	X	L	0
X	X	X	H	1
X	X	X	L	0
X	X	X	H	1

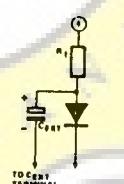


CATATAN:

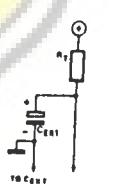
1. Sebuah kondensator pewaktu ekstern dapat dikoneksikan antara C_{ext} dan R_{int}/C_{ext} (positif).
2. Untuk menggunakan resistor pewaktu dalam 122 atau LS122, hubungkanlah R_{int} kepada \oplus .
3. Guna memperbaiki kecermatan lebardenyut dan keulangan (*repeatability*), hubungkanlah resistor ekstern antara R_{ext}/C_{ext} dan \oplus dengan R_{int} terbuka.
4. Guna memperoleh lebar-denayut variabel, hubungkanlah resistansi ekstern yang variabel antara R_{int} atau R_{ext}/C_{ext} dan \oplus .



Gambar 1



Gambar 2



Gambar 3

Data terapan lumrah bagi 122, 123 (Gb. 1 dan 2)

Denyut keluaran adalah terutama merupakan fungsi dari kondensator dan resistor ekstern. Untuk $V_{ext} > 1000\text{pF}$, lebar denyut keluaran didefinisikan sebagai:

$$t_w = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T} \right)$$

dimana K adalah 0,32 untuk '122, 0,28 untuk '123, R_T dalam $\text{k}\Omega$ (resistansi pewaktuan intern atau ekstern) $5\text{k}\Omega \leq R_T \leq 50\text{k}\Omega$

IC TTL

54/74(LS)125

C_{ext} dalam pF
 t_w dalam nanodetik

Guna mencegah tegangan terbalik pada C_{ext} , dianjurkan untuk menerapkan metoda dalam Gb. 2 kalau menggunakan kondensator-kondensator elektrolit dan dalam penerapan-penerapan yang memanfaatkan fungsi *clear*. Dalam semua penerapan yang menggunakan dioda, lebardenyut adalah:

$$t_w = K_D \cdot R_T \cdot C_{ext} \left(1 + \frac{0,7}{R_T} \right)$$

K_D adalah 0,28 untuk '122, 0,25 untuk '123.

Data terapan lumrah untuk LS122, LS123, (Gb. 3)

Lebardenyut keluaran dasar terutama ditentukan oleh harga kapasitansi ekstern dan resistansi pewaktuan ekstern.

Kalau $C_{ext} > 1000$ pF, maka lebardenyut keluaran didefinisikan sebagai:

$$t_w = 0,45 \cdot R_T \cdot C_{ext}$$

di mana R_T dalam kΩ (intern atau ekstern)

$$5 \text{ k}\Omega \leq R_T \leq 260 \text{ k}\Omega$$

C_{ext} dalam pF

t_w adalah nanodetik

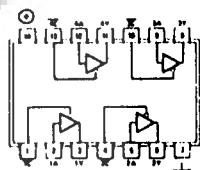
Guna memperoleh hasil terbaik, bumi untuk sistemnya supaya dikenakan pada terminal C_{ext} . Dioda pensaklaran tidak diperlukan untuk penerapan kapasitansi elektrolit.

	122	LS 122	123	LS 123	mA
supply current	23	6	46	12	
typ. average propagation delay time \bar{A} to Q or \bar{Q}	26	26	26	26	ns
typ. average propagation delay time B to Q or \bar{Q}	23	23	23	33	ns
twidth in min.	40	40	40	40	ns
twidth out	45 - ∞	200 - ∞	45 - ∞	200 - ∞	ns

122, 123 Jalanmasuk CLR punya isi-masukan 2

125 Gerbang penyangga berumbung (bus) berempat, dengan 3 jalankeluar tiga-status.

$Y = A$



Jalankeluar adalah off (takmampu, disabled) bila C tinggi

	Condition	Fan-out
125	L	10
	H	130
LS 125A	L	30
	H	130

	supply curr. (mA)	t _{PLH} (ns)	t _{PHL} (ns)
125	32	8	12
LS 125A	11	9	7

IC TTL

54/74(LS)266...377

data-in dituliskan pada gerendel yang dapat dialamat. Gerendel yang dialamat akan mengikuti masukan data, sementara semua gerendel yang tidak dialamat berada dalam statusnya yang terdahulu.

Dalam ragam ingatan, semua gerendel berada dalam

status terdahulu dan tidak terpengaruh oleh masukan-masukan data atau alamat. Guna menghindari kemungkinan masuknya data yang takdisengaja ke dalam gerendel, maka *enable* harus tetap tinggi (takaktif) sementara saluran-saluran alamat sedang berubah. Dalam ra-

gam pendekodaan 1-dari-8 atau pendemultiplexan maka jalankeluar yang dialamat akan mengikuti taraf jalanmasuk D sementara semua jalanmasuk yang lain rendah. Dalam ragam clear semua jalankeluar adalah rendah, takterpengaruh oleh jalanmasuk alamat dan data.

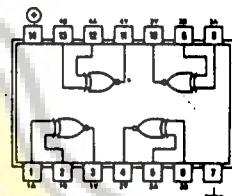
266 Gerbang EXNOR 2-jalanmasuk berempat dengan jalankeluar kolektor terbuka

$$Y = \overline{A \oplus B} = AB + \overline{AB}$$

INPUTS OUTPUT

A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

LS 266	supply curr. (mA)	t _{pLH} (ns)	t _{pHL} (ns)
8	18	18	18



Semua jalanmasuk memiliki beban-masukan 2.

Penjelasan 273

Informasi yang ada di jalanmasuk D, yang memenuhi persyaratan waktu penataan (*setup time*), ditransfer ke jalankeluar Q pada tepian menuju-positif di denyut lonceng. Penyulutan lonceng terjadi pada taraf tertentu di tegangan dan tidaklah langsung berkaitan dengan waktu transisi denyut menuju-positif. Bila denyut ada di taraf tinggi atau rendah, isyarat jalanmasuk D tidak berpengaruh apa-apa kepada keluaran.

363, 364

363 dan 364 adalah serba-cocok dengan 373 dan 374 dalam hal koneksi pena-

273 Gulang-guling (*flip-flop*) tipe-D dengan *clear*, berdelapan (oktal)

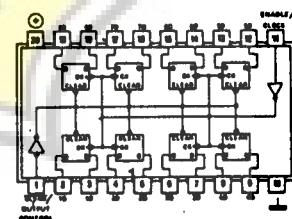
363 Gerendel semrawang (*transparent*) tipe-D berdelapan

364 Gulang-guling (*flip-flop*) tersulut di tepi berdelapan

373 Gulang-guling (*flip-flop*) tipe-D berdelapan dengan *enable*

LS 273
Tabel fungsi (tiap gulang-guling)

INPUTS		OUTPUT	
CLEAR(1)	CLOCK(11)	D	Q
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q ₀



LS 363
LS 373
Tabel Fungi

OUTPUT CONTROL(1)	ENABLE G(11)	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

IC TTL

54/74(LS)390...447

pena maupun hal fungsi, namun memiliki tegangan keluaran tinggi (3,65 volt) guna menggerakkan rangkaian MOS.

373, 374

Register-register 8-bit ini memiliki sifat keluaran 3-status *totem-pole* yang dirancang khusus untuk menggerakkan beban yang relatif berimpedansi-rendah atau berkapasitas-tinggi. Status ke tiga impedansi-tinggi dan taraf logika-tinggi yang dinaikkan melengkapi register-register ini dengan kemampuan untuk dikoneksikan dengan langsung kepada (dan menggerakkan) saluran-saluran berumbung (bus) di dalam sistem yang terorganisasi-berumbung tanpa memerlukan komponen-komponen *tatap-muka* (*interface*) tambahan. Mereka adalah menarik sekali untuk melaksanakan register-register penyanga, gerbang I/O (*I/O ports*), penggerak berumbung dua arah, dan register-register kerja. Kedelapan gerendel (*latch*) di LS373 adalah gerendel-gerendel tipe-D semrawang (*transparent*) yang berarti bahwa bila *enable* (G) sedang tinggi maka jalankeluarnya Q akan

Tabel Fungsi LS364 LS374				Tabel Fungsi (tipe gulang-guling) LS377			
OUTPUT CONTROL(1)	CLOCK(11)	D	OUTPUT	INPUTS	CLOCK(11)	DATA	OUTPUTS
L	↑	H	H	H	X	X	Q ₀ Q̄ ₀
L	↑	L	L	L	↑	H	H L
L	L	X	Q ₀	L	↑	L	L H
H	X	X	Z	X	L	X	Q ₀ Q̄ ₀

283: lihat 83

290: lihat 90

293: lihat 93

295: lihat 95

324: lihat 624

347: lihat 46

390: lihat 90

393: lihat 93

395: lihat 95

445: lihat 42

447: lihat 46

Supply curr. (mA)	t _{PLH} (ns)	t _{PHL} (ns)	t _{CLOCK} max. (MHz)	Fan-Out
				Low High
273	62	17	18	30 10
LS273	17	17	18	30 10
LS373	27	20	19	— 30
LS374	27	15	19	35 60

mengikuti masukan-masukan data (D). Kalau *enable* dibikin rendah, jalankeluarnya akan tergerendel pada taraf data yang sudah ditata. Kedelapan jalankeluarnya Q di LS374 adalah jalankeluarnya tipe-D tersulut di-tepiannya. Pada transisi positif denyut ionceng, jalankeluarnya Q ditaruh pada status logika yang sudah ditata di jalankeluarnya Q.

Jalankeluarnya Q yang tersangga penyulut Schmitt di saluran-saluran *enable/clock* menyederhanakan perancangan sistem, sebab penolakan terhadap desah ac dan dc disempurnakan sampai 400 mV

berkat histeresis masukan-nya. Kedelapan jalankeluarnya dapat ditaruh pada status logika normal (taraf logika rendah atau tinggi) atau status impedansi-tinggi dengan pengemudi keluaran tersangga. Dalam status impedansi-tinggi jalankeluarnya tidak membenci ataupun menggerakkan saluran-saluran berumbung (*bus lines*).

Kemudian keluaran tidak mempengaruhi operasi intern di gerendel ataupun di jalankeluarnya. Artinya: data lama dapat dipertahankan atau data baru dapat dimasukkan meskipun jalankeluarnya sedang off.

**54/7490A
54LS/74LS90
DECADE COUNTER**

DESCRIPTION — The '90 is a 4-stage ripple counter containing a high speed flip-flop acting as a divide-by-two and three flip-flops connected as a divide-by-five counter. It can be connected to operate with a conventional BCD output pattern or it can be connected to provide a 50% duty cycle output. In the BCD mode, HIGH signals on the Master Set (MS) inputs set the outputs to BCD nine. HIGH signals on the Master Reset (MR) inputs force all outputs LOW. For a similar counter with corner power pins, see the 'LS290; for dual versions, see the 'LS390 and 'LS490.

ORDERING CODE: See Section 9

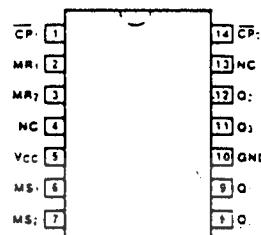
PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		Vcc = +5.0 V ±5%, TA = 0°C to +70°C	Vcc = +5.0 V, ±10%, TA = -55°C to +125°C	
Plastic DIP (P)	A	7490APC, 74LS90PC		9A
Ceramic DIP (D)	A	7490ADC, 74LS90DC	5490ADM, 54LS90DM	6A
Flatpak (F)	A	7490AFC, 74LS90FC	5490AFM, 54LS90FM	3I

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

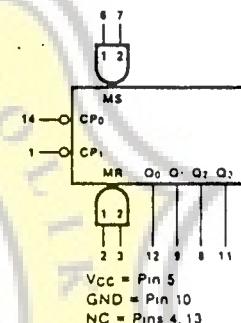
PIN NAMES	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
CP0	+2 Section Clock Input (Active Falling Edge)	2.0/2.0	0.125/1.5
CP1	+5 Section Clock Input (Active Falling Edge)	3.0/3.0	0.250/2.0
MR1, MR2	Asynchronous Master Reset Inputs (Active HIGH)	1.0/1.0	0.5/0.25
MS1, MS2	Asynchronous Master Set (Preset 9) Inputs (Active HIGH)	1.0/1.0	0.5/0.25
Q0	+2 Section Output*	20/10	10/5.0 (2.5)
Q1 — Q3	+5 Section Outputs	20/10	10/5.0 (2.5)

*The Q0 output is guaranteed to drive the full rated fan-out plus the CP1 input.

**CONNECTION DIAGRAM
PINOUT A**



LOGIC SYMBOL



FUNCTIONAL DESCRIPTION — The '90 is a 4-bit ripple type decade counter. It consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q₀ output of each device is designed and specified to drive the rated fan-out plus the \bar{CP}_1 input. A gated AND asynchronous Master Reset (MR₁, MR₂) is provided which overrides the clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set (MS₁, MS₂) is provided which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH). Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

A. **BCD Decade (8421) Counter** — The \bar{CP}_1 input must be externally connected to the Q₀ output. The \bar{CP}_0 input receives the incoming count and a BCD count sequence is produced.

B. **Symmetrical Bi-quinary Divide-By-Ten Counter** — The Q₃ output must be externally connected to the \bar{CP}_0 input. The input count is then applied to the \bar{CP}_1 input and a divide-by-ten square wave is obtained at output Q₀.

C. **Divide-By-Two and Divide-By-Five Counter** — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function (\bar{CP}_0 as the input and Q₀ as the output). The \bar{CP}_1 input is used to obtain binary divide-by-five operation at the Q₃ output.

MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

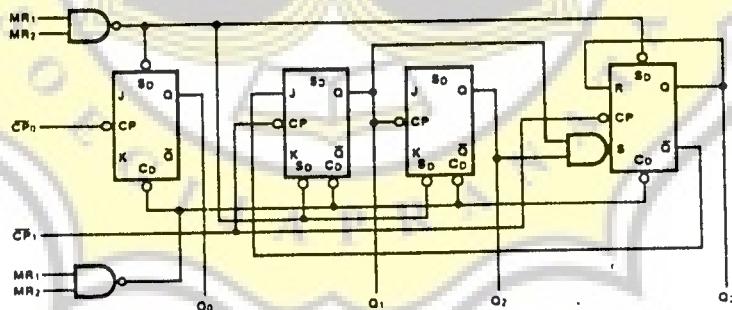
H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

BCD COUNT SEQUENCE

COUNT	OUTPUTS			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q₀ is connected to Input \bar{CP}_1 for BCD count.

LOGIC DIAGRAM



54/7493A 54LS/74LS93 DIVIDE-BY-SIXTEEN COUNTER				CONNECTION DIAGRAM PINOUT A
				LOGIC SYMBOL
DESCRIPTION — The '93 is a 4-stage ripple counter containing a high speed flip-flop acting as a divide-by-two and three flip-flops connected as a divide-by-eight. HIGH signals on the Master Reset (MR) inputs override the clocks and force all outputs to the LOW state.				Vcc = Pin 5 GND = Pin 10 NC = Pins 4, 6, 7, 13
ORDERING CODE: See Section 9				
PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		Vcc = +5.0 V ±5%, TA = 0° C to +70° C	Vcc = +5.0 V ±10%, TA = -55° C to +125° C	
Plastic DIP (P)	A	7493APC, 74LS93PC		9A
Ceramic DIP (D)	A	7493ADC, 74LS93DC	5493ADM, 54LS93DM	6A
Flatpak (F)	A	7493AFC, 74LS93FC	5493AFM, 54LS93FM	3I
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions				
PIN NAMES		DESCRIPTION	-54/74 (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
\overline{CP}_0		+2 Section Clock Input (Active Falling Edge)	2.0/2.0	1.0/1.5
\overline{CP}_1		+5 Section Clock Input (Active Falling Edge)	2.0/2.0	1.0/1.0
MR ₁ , MR ₂		Asynchronous Master Reset Inputs (Active HIGH)	1.0/1.0	0.5/0.25
Q ₀		+2 Section Output*	20/10	10/5.0 (2.5)
Q ₁ — Q ₃		+8 Section Outputs	20/10	10/5.0 (2.5)
*The Q ₀ output is guaranteed to drive the full rated fan-out plus the \overline{CP}_1 input.				

FUNCTIONAL DESCRIPTION — The '93 is a 4-bit ripple type binary counter. It consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-eight section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q₀ output of each device is designed and specified to drive the rated fan-out plus the \bar{CP}_1 input of the device. A gated AND asynchronous Master Reset (MR₁, MR₂) is provided which overrides the clocks and resets (clears) all the flip-flops. Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

A. 4-Bit Ripple Counter — The output Q₀ must be externally connected to input \bar{CP}_1 . The input count pulses are applied to input \bar{CP}_0 . Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q₀, Q₁, Q₂, and Q₃ outputs as shown in the Truth Table.

B. 3-Bit Ripple Counter — The input count pulses are applied to input \bar{CP}_1 . Simultaneous frequency divisions of 2, 4, and 8 are available at the Q₁, Q₂, and Q₃ outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

MODE SELECTION

RESET INPUTS	OUTPUTS
MR ₁ MR ₂	Q ₀ Q ₁ Q ₂ Q ₃
H H	L L L L
L H	Count
H L	Count
L L	Count

H = HIGH Voltage Level

L = LOW Voltage Level

TRUTH TABLE

COUNT	OUTPUTS
	Q ₀ Q ₁ Q ₂ Q ₃
0	L L L L
1	H L L L
2	L H L L
3	H H L L
4	L L H L
5	H L H L
6	L H H L
7	H H H L
8	L L L H
9	H L L H
10	L H L H
11	H H L H
12	L L H H
13	H L H H
14	L H H H
15	H H H H

NOTE: Output Q₀ connected to \bar{CP}_1 .

LOGIC DIAGRAM

