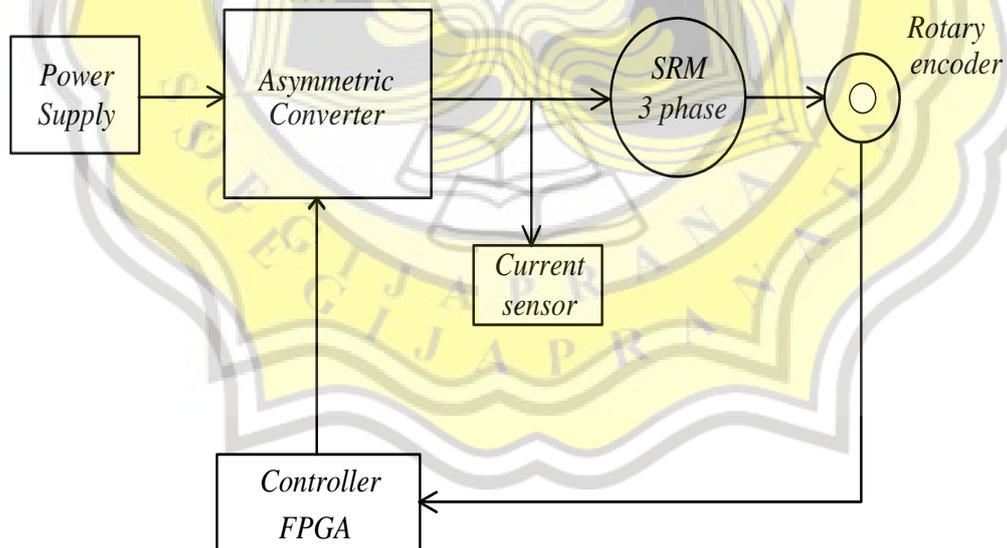


## BAB III

### DESAIN DAN IMPLEMENTASI KENDALI KECEPATAN SWITCHED RELUCTANCE MOTOR BERBASIS PWM

#### 3.1 Pendahuluan

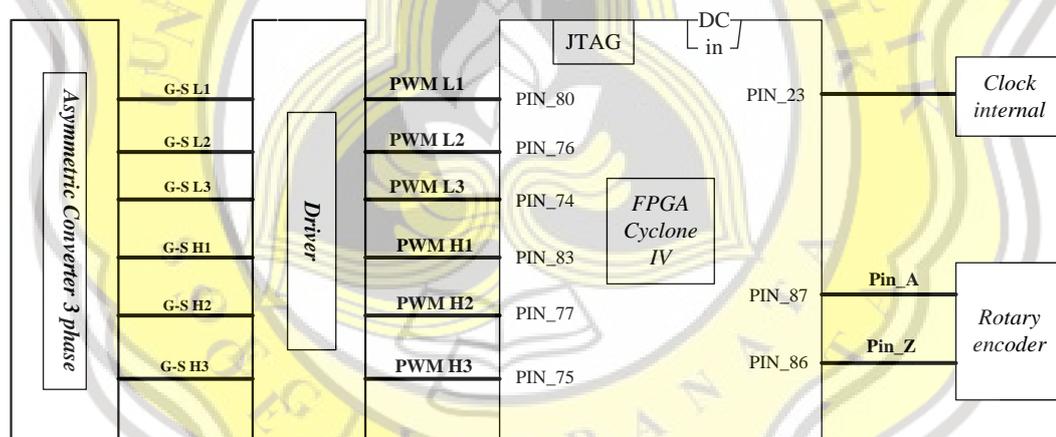
Pada bab ini menampilkan pembahasan dan analisis tentang kontrol kecepatan berbasis *PWM*, perancangan *hardware SRM* dan rangkaian pendukung *SRM*. Rangkaian pendukung yang digunakan pada pembahasan bab 3 ini menyajikan tentang skema *SRM*, *block converter asymmetric*, sensor arus *SRM* dan catu daya *hardware*, dibawah ini merupakan skema *hardware SRM* kendali kecepatan berbasis *PWM*.



Gambar-3.1 Skema *SRM* kendali kecepatan

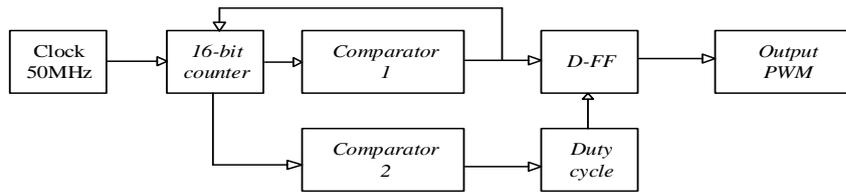
### 3.2 Blok Kendali kecepatan SRM berbasis FPGA

SRM memerlukan alat kontroler dan konverter supaya dapat bekerja optimal sebagaimana mestinya. Kontroler IC digital yaitu FPGA Altera Cyclone IV disematkan untuk mengendalikan *converter asymmetric*, seterusnya FPGA Altera Cyclone IV digunakan untuk kendali kecepatan SRM karena memiliki banyak kelebihan antara lain yaitu memiliki banyak fitur kelonggaran untuk bisa dikembangkan beberapa fungsi–fungsi khusus yang ada di dalam pemrograman dan harganya yang cukup terjangkau sehingga cocok untuk pengembangan pada tahap lanjut. Gambar-3.2 dibawah ini menampilkan blok diagram pendukung *hardware SRM*.



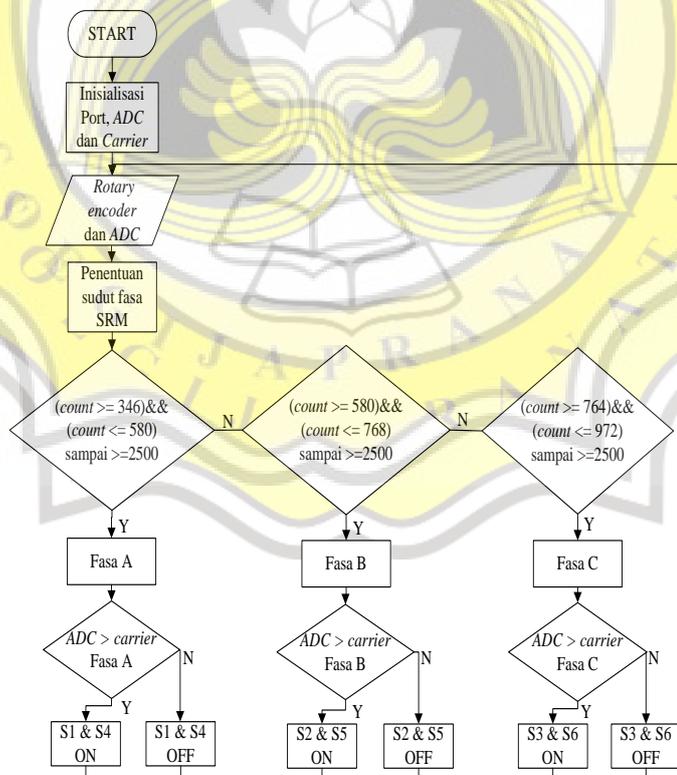
Gambar-3.2 Skematik wiring FPGA ke I/O

FPGA membutuhkan penghitung 16-bit dan FF tipe D untuk membuat PWM. Penghitung terprogram kemudian dikontrol oleh *clock* 50MHz di dalam FPGA.



**Gambar-3. 3 Diagram block program di dalam PWM dengan FPGA**

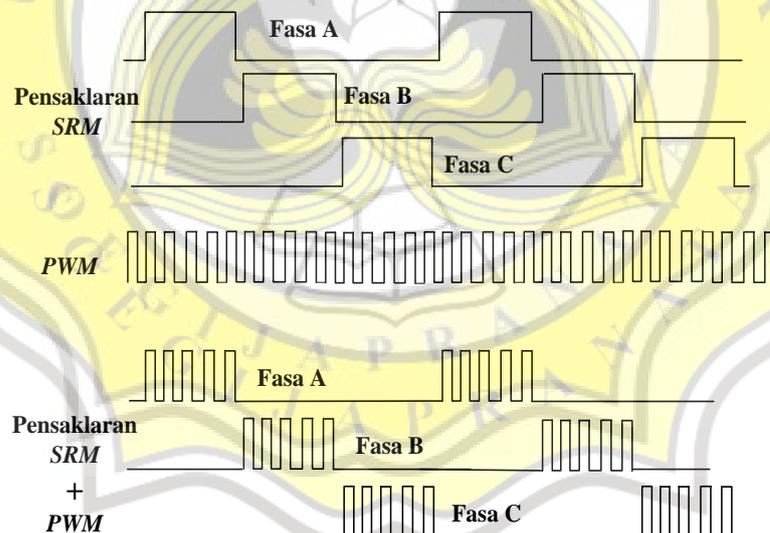
Periode *PWM* ditentukan oleh nilai konstanta (*per\_val*) pada masukan pertama komparator. *Counter* akan direset ketika perbandingan pada komparator telah tercapai kemudian akan di set FF. *PWM* dapat dibuat karena dipengaruhi oleh perubahan *duty cycle* yang variable, kita perlu (*dc\_val*) pada input komparator kedua. Nilai (*per\_val*) akan lebih tinggi daripada (*dc\_val* modulasi). FF akan direset ketika siklus tugas dan variabel penghitung sudah cocok.



**Gambar-3. 4 Urutan penyalan SRM berbasis PWM**

Gambar-3.4 adalah *flowchart* urutan penyalaan *SRM* terkendali *PWM* oleh *FPGA*. Sinyal pulsa untuk penentuan posisi rotor yang dihasilkan *rotary encoder* akan dikirimkan ke kendali utama *FPGA* dan di program dengan mengatur lebar sinyal menggunakan pengaturan *duty cycle*. Jika *VPP* modulasi lebih lebar dari *VPP carrier* maka kondisi saklar penyalaan *SRM* akan hidup, dan begitu pula sebaliknya.

Pada saat *PWM* pensaklaran berjalan  $T_{on}$  fasa A,B dan C di dalamnya terdapat *PWM* pengatur kecepatan, sehingga waktu penyalaan akan diatur dengan sinyal *duty cycle*. Berikut bentuk sinyal penyalaan *SRM* yang sudah diatur *PWM* ditampilkan pada gambar dibawah ini.



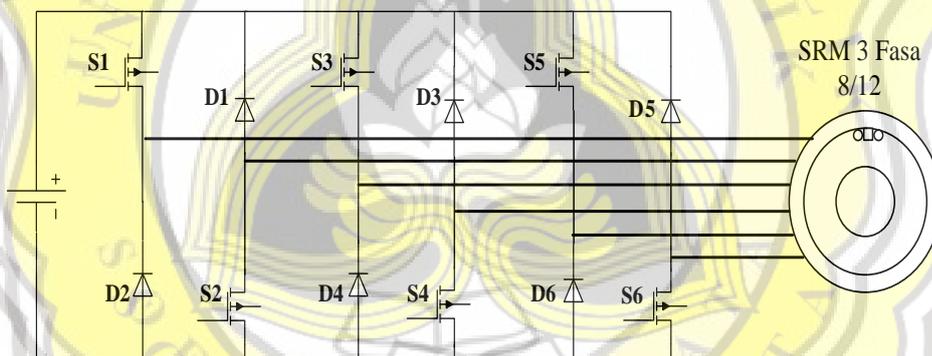
**Gambar-3. 5 Pensaklaran *SRM* dengan pengaturan modulasi lebar pulsa**

Pada Gambar-3.5 keluaran *PWM* dengan pengaturan *duty cycle* tertentu, menghasilkan lebar  $T_{on}$  yang sebanding dengan lebar  $T_{off}$ . Hasil dari perubahan

lebar pulsa nantinya akan digunakan untuk sinyal penyalan pada *switching converter asymmetric*.

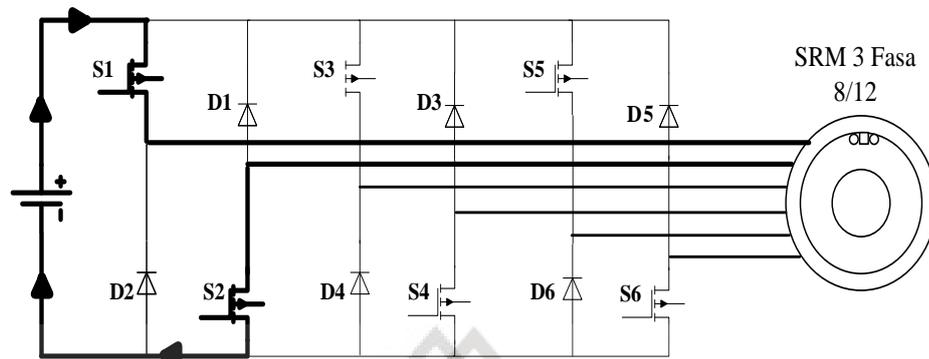
### 3.3 Block konverter asimetris

*SRM* memiliki konverter yang digunakan untuk proses eksitasi sekuensialnya. Konverter asimetris tiga fasa, terdiri dari enam MOSFET dan enam dioda cepat seperti yang ditunjukkan di Gambar-3.6. Konverter asimetris diimplementasikan karena memiliki keunggulan yang mudah dikendalikan, jauh dari hubung singkat lalu dapat dikontrol secara mandiri.

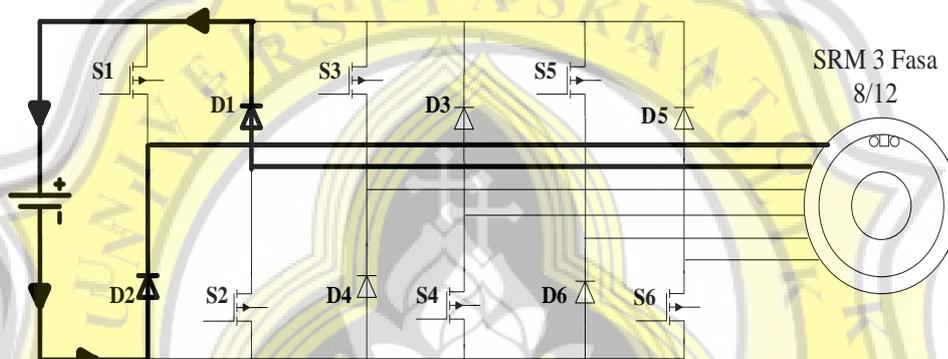


Gambar-3.6 Rancangan rangkaian *converter asymmetric*

Prinsip kerja rangkaian konverter asimetris pada tugas akhir ini menggunakan metode *magnetizing* dan *demagnetizing*.



Gambar-3. 7 Converter *asymmetric mode magnetizing*

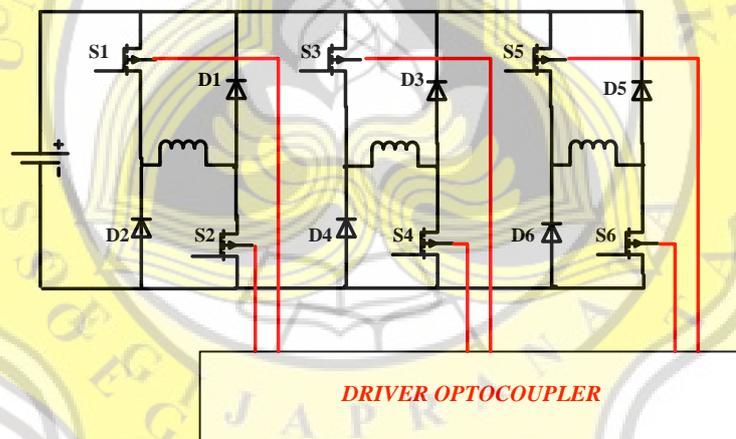


Gambar-3. 8 Converter *asymmetric mode demagnetizing*

Pada Gambar-3.7 dan Gambar-3.8 terdapat dua mode untuk menjalankan *SRM*, mode pertama yaitu *magnetizing* dengan pemberian eksitasi untuk belitan fasa-A dilakukan dengan menyalakan saklar  $S_1$  dan  $S_2$ . Modus operasi kedua, *demagnetizing*, bekerja dengan mematikan saklar  $S_1$  dan  $S_2$  sehingga arus yang tersimpan pada belitan stator akan mengalir kembali ke sumber melalui  $D_2$  dan  $D_1$ . Pada kondisi ini tegangan belitan fasa-A akan sebesar tegangan masukan  $V_{dc}$  yang akan menghasilkan torka positif jika diberikan saat induktansi fasa-A meningkat[17][18][19].

### 3.4 Rangkaian *Optocoupler* pada *converter asymmetric*

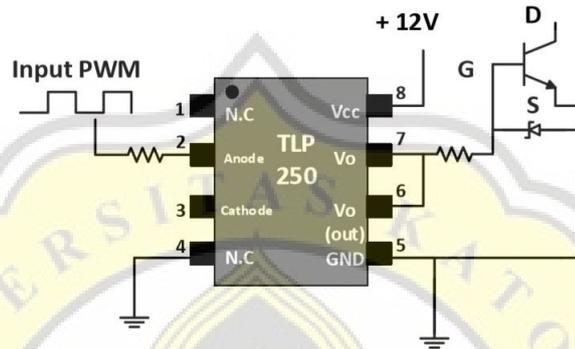
Rangkaian konverter asimetris yang di dalamnya terdapat *optocoupler* yang berfungsi sebagai penghubung antara pengontrol sinyal digital *FPGA Cyclone IV* dengan rangkaian power *MOSFET*. TLP250 digunakan sebagai *optocoupler* yang berfungsi untuk memisahkan sistem pentanahan antara rangkaian daya yang beroperasi pada tegangan dan arus yang besar dengan pengontrol sinyal digital *FPGA Cyclone IV* yang beroperasi pada tegangan dan arus yang kecil. Rangkaian *driver optocoupler TLP250* dapat digunakan dengan tegangan minimal 10V yang terhubung ke rangkaian catu daya.



Gambar-3. 9 *Driver optocoupler* pada *asymmetric*

Fungsi utama rangkaian konverter asimetris ke *SRM* adalah proses menyalakan *MOSFET IRFP460* sesuai dengan perintah pengontrol sinyal digital *FPGA Cyclone IV*, dan TLP 250 memiliki sinyal input sinyal digital. Sinyal digital memiliki 2 kemungkinan yaitu logika 1 dan logika 0. Ketika pengontrol sinyal digital memiliki tegangan kerja 5 Vdc, menjadi logika 1. Pada logika 0,

maka tegangan kerja pengontrol sinyal digital tidak dihasilkan atau 0 Vdc. Sinyal keluaran untuk *optocoupler* TLP250 adalah sama dengan sinyal masukan. Skema rangkaian driver *optocoupler* TLP250 untuk konverter asimetris disajikan pada Gambar-3.10.

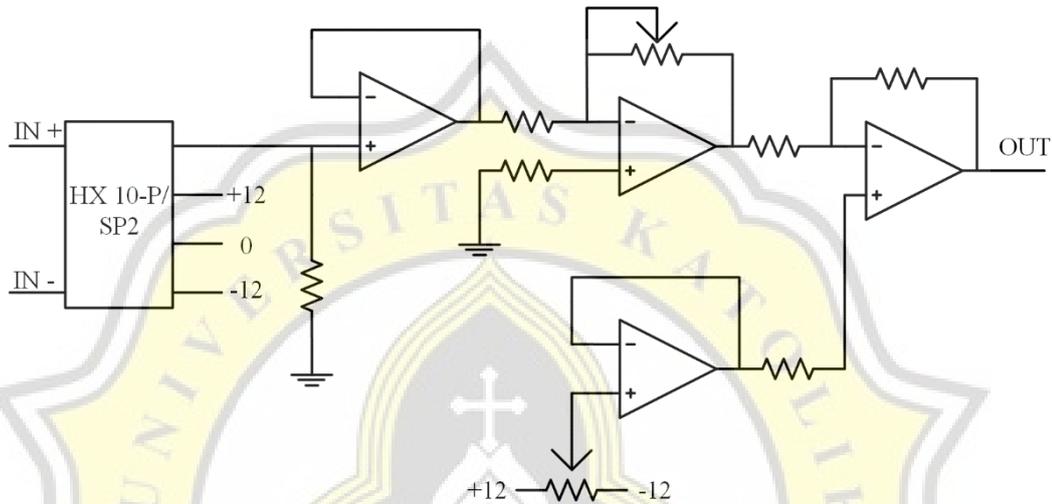


Gambar-3.10 Skema *driver* TLP 250

### 3.5 Rangkaian Sensor Arus

Sensor arus yang dibuat digunakan untuk mendeteksi arus masing-masing fasa pada *SRM*. Rangkaian sensor arus terdiri dari komponen sensor arus tipe *LEM HX 10-P/SP2*, *IC (Integrated Circuit) OP-AMP LF347*, resistor variabel 100K ohm dan resistor 10K ohm. Rangkaian sensor arus *LEM HX 10-P/SP2* dapat membaca arus hingga 10 Ampere dengan suplai tegangan kerja +12 V, -12 V dan *ground*, rangkaian sensor arus *LEM HX 10-P/SP2* membutuhkan daya simetris pasokan ke tempat kerja. Prinsip dari sensor arus ini adalah mengubah nilai arus menjadi tegangan agar dapat dibaca pada *osiloskop*. Agar tegangan *output* dapat digunakan, diperlukan rangkaian penguat *OP-AMP* dengan *IC LF347*. Resistor di sirkuit digunakan sebagai pengaturan *Gain* dan resistor variabel digunakan untuk menyetel nilai offset. Nilai kalibrasi ditentukan oleh tegangan kerja pengontrol

sinyal digital *FPGA Cyclone IV*, sehingga rangkaian sensor arus ini menggunakan rasio 1A : 1V. Skema rangkaian *OP-AMP* dengan sensor arus *HX 10-P/SP2* ditampilkan pada Gambar-3.11.

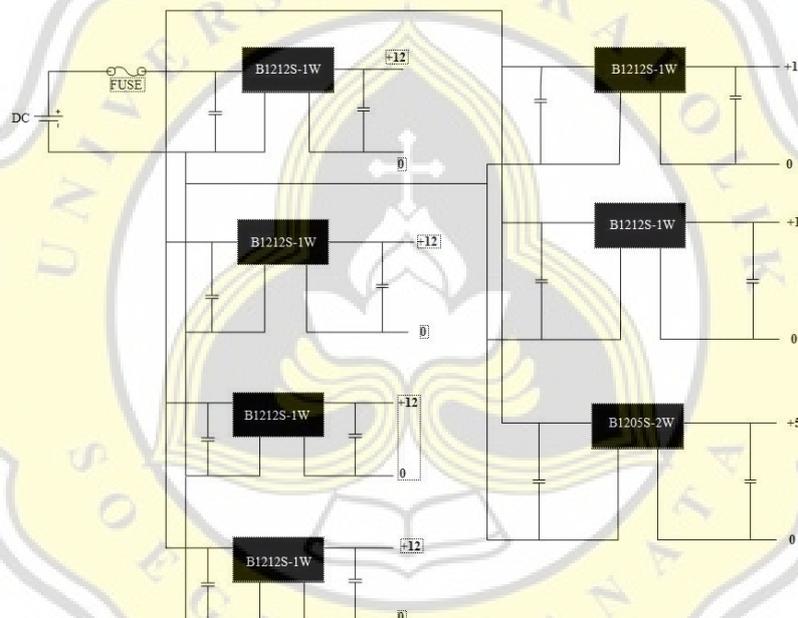


**Gambar-3.11** Desain rangkaian *OP-AMP* beserta sensor arus *HX 10-P/SP2*

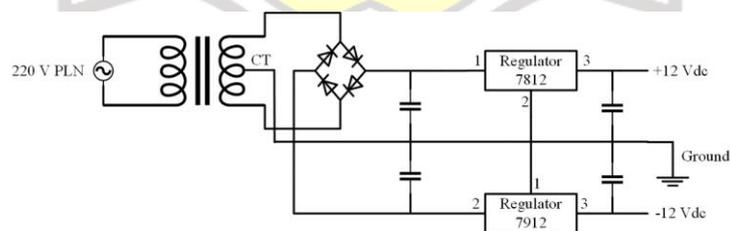
### 3.6 Rangkaian Catu Daya

Rangkaian catu daya digunakan untuk mensuplai tegangan untuk rangkaian elektronika yang memerlukan catu tegangan eksternal untuk dapat beroperasi. Dalam penelitian ini, dua power supply yang digunakan. Yang pertama adalah rangkaian *power supply DC-DC linier B1212* terisolasi regulator yang terhubung dengan rangkaian *driver optocoupler TLP250* sebanyak empat dan dua *B1205* yang terhubung dengan *supply rotary encoder* dan pengontrol *FPGA*. Kemudian ada catu daya simetris dengan tegangan keluaran +12 Vdc, -12 Vdc dan *ground*. Catu daya simetris digunakan dalam hubungannya dengan sirkuit sensor arus *HX 10-P/SP2*. Perbedaan catu daya linier dan catu daya

simetris terletak pada pengatur tegangan. Catu daya linier regulator terisolasi membutuhkan komponen regulator terisolasi *B1212 / B1205* tambahan agar dapat menghasilkan tegangan 12 Vdc dan 5 Vdc dengan jalur pentanahan yang berbeda. Untuk lebih jelasnya penulis akan menjelaskan Pada Gambar-3.12 disajikan rangkaian catu daya linier isolator regulator dan pada Gambar-3.13 disajikan rangkaian catu daya simetris.



**Gambar-3.12 Rangkaian catu daya linier isolated regulator**



**Gambar-3.13 Desain catu daya simetris**