

**STRATEGI KENDALI KECEPATAN UNTUK MOTOR
BLDC TIGA FASA BERBASIS FPGA**

LAPORAN TUGAS AKHIR



Oleh :

Yoshua Oktavianis Harendra

15.F1.0019

**PROGRAM STUDI TEKNIK ELEKTRO
FAKULTAS TEKNIK
UNIVERSITAS KATOLIK SOEGIJAPRANATA
SEMARANG
2020**

HALAMAN PENGESAHAN



Judul Tugas Akhir: : Strategi Kendali Kecepatan Untuk Motor Bldc Tiga Fasa Berbasis Fpga
Diajukan oleh : Yoshua Oktavianis Harendra
NIM : 15.F1.0019
Tanggal disetujui : 20 Juli 2020
Telah setuju oleh
Pembimbing : Prof. Dr. Ir. Slamet Riyadi M.T.
Penguji 1 : Dr. Ir. Florentinus Budi Setiawan M.T.
Penguji 2 : Dr. Leonardus Heru Pratomo S.T., M.T.
Penguji 3 : Prof. Dr. Ir. Slamet Riyadi M.T.
Ketua Program Studi : Dr. Leonardus Heru Pratomo S.T., M.T.
Dekan : Prof. Dr. Ir. Slamet Riyadi M.T.

Halaman ini merupakan halaman yang sah dan dapat diverifikasi melalui alamat di bawah ini.

sintak.unika.ac.id/skripsi/verifikasi/?id=15.F1.0019

FAKULTAS TEKNIK
Program Studi Teknik Elektro
Jl. Pawiyatan Luhur IV/1 Bendan Duwur Semarang 50234
Telp : (024) 8441555 (hunting) Fax : (024) 8415429 – 8445265
Email : tu.elektro@unika.ac.id



PERNYATAAN
KEASLIAN LAPORAN TUGAS AKHIR (SKRIPSI)

Memperhatikan Surat Keputusan Rektor Universitas Katolik Soegijapranata Nomor.:0047/SK.Rek/X/2013 tanggal 07 Oktober 2013, tentang Pernyataan Laporan Tugas Akhir, maka bersama ini Laporan Tugas Akhir Saya yang berjudul *“STRATEGI KENDALI KECEPATAN UNTUK MOTOR BLDC TIGA FASA BERBASIS FPGA”*, tidak terdapat karya yang pernah diajukan untuk memperoleh gelar kesarjanaan di suatu Perguruan Tinggi, dan sepanjang pengetahuan saya juga tidak terdapat karya atau pendapat yang pernah ditulis atau diterbitkan oleh orang lain, kecuali yang secara tertulis diacu dalam naskah ini dan disebutkan dalam daftar pustaka.

Apabila di kemudian hari ternyata terbukti bahwa Tugas Akhir ini sebagian atau seluruhnya merupakan hasil plagiasi, maka saya rela untuk dibatalkan, dengan segala akibat hukumnya sesuai peraturan yang berlaku pada Universitas Katolik Soegijapranata dan / atau peraturan perundang-undangan yang berlaku.

Semarang, 20 Juli 2020

Yang menyatakan,



YOSHUA OKTAVIANIS HARENDRA

NIM. 15.F1.0019

ABSTRAK

Di era modern saat ini *Brushless DC Motor* (BLDC) merupakan salah satu motor listrik yang banyak digunakan dalam bidang industri. Motor BLDC mempunyai beberapa keunggulan seperti mudah dalam pemeliharaan, tingkat efisiensi tinggi, dan hemat energi dibanding motor DC konvensional. Dengan memiliki beberapa keunggulan tersebut, motor BLDC dapat diterapkan dalam berbagai aplikasi, salah satunya untuk pengoptimalan kinerja kendaraan listrik. *Inverter* tiga fasa dan mikrokontroler dibutuhkan dalam pengendalian kecepatan motor BLDC. Namun, mikrokontroler memiliki kelemahan yaitu membutuhkan waktu untuk membaca dan mengeksekusi program, maka diperlukan suatu alat yang disebut *Field Programmable Gate Array* (FPGA) untuk membaca dan mengeksekusi program serta mendapatkan hasil sesuai dengan yang diharapkan. FPGA adalah sirkuit terpadu yang di dalamnya memiliki fungsi – fungsi khusus yang dapat dikonfigurasi menjadi suatu rangkaian digital. Dibandingkan dengan tipe mikrokontroler atau DSP, FPGA merupakan sirkuit terpadu yang dapat mengirim sinyal dengan cepat karena proses perhitungan algoritma dilakukan secara paralel. Untuk mengendalikan motor BLDC, FPGA menggunakan kendali *Pulse Width Modulation* (PWM). *Duty cycle* yang dihasilkan dari *Analog to Digital Converter* (ADC) akan dikonversikan ke PWM dan digunakan untuk mengendalikan kecepatan motor BLDC. Laporan Tugas Akhir ini akan menjelaskan hasil dari pengendalian motor BLDC menggunakan FPGA ketika terjadi perubahan *duty cycle* yang akan

mempengaruhi kecepatan putaran motor BLDC. Metode yang digunakan pada Tugas Akhir ini adalah PWM yang dipengaruhi oleh perubahan *variable duty cycle*.

Kata Kunci : *Brushless DC motor, Field Programmable Gate Array, duty cycle, Analog to Digital Converter, Pulse Width Modulation*



KATA PENGANTAR

Rasa puja dan puji syukur penulis panjatkan terhadap Tuhan Yesus, berkat kasih dan karunia-Nya sehingga skripsi ini dapat diselesaikan dengan baik. Skripsi yang berjudul **STRATEGI KENDALI BERBASIS FPGA UNTUK MOTOR BLDC TIGA FASA** ini di susun untuk memenuhi persyaratan kurikulum sarjana strata-1 (S-1) pada Jurusan Teknik Elektro, Fakultas Teknik, Universitas Katolik Soegijapranata Semarang.

Penulis memberi ucapan terima kasih yang sebesar-besarnya atas bantuan yang diberikan, baik bantuan secara langsung maupun bantuan secara tidak langsung selama proses penyusunan Tugas Akhir ini. Secara khusus ucapan terimakasih saya berikan kepada :

1. Tuhan Yang Maha Esa yang senantiasa memberikan rahmat dan karunianya, kemudahan dan kelancaran dalam proses pelaksanaan Tugas Akhir dan penyusunan Laporan Tugas Akhir.
2. Kedua Orang tua yang tidak kenal lelah memberikan semangat dan memberikan dukungan secara moril maupun secara materil kepada penulis.
3. Bapak Prof. Dr. Ign. Slamet Riyadi, MT. Selaku Dekan Fakultas Teknik Universitas Katolik Soegijapranata dan sekaligus dosen pembimbing Tugas Akhir, yang telah bersedia membimbing dari awal hingga akhir dalam pelaksanaan Tugas Akhir.

4. Bapak Dr. Leonardus Heru Pratomo, MT. Selaku Ketua Program Studi Teknik Elektro dan yang telah memberikan izin dan menyediakan fasilitas untuk penggunaan laboratorium yang digunakan untuk menyelesaikan Tugas Akhir.
5. Bapak Dr. Florentinus Budi Setiawan, MT., IPM. Selaku dosen Program Studi Teknik Elektro, yang telah memberikan semangat dan memberikan dukungan kepada penulis.
6. Bapak Antonius Juang yang telah purna tugas selaku Tata Usaha yang telah membantu administrasi dan informasi yang diperlukan saat masa perkuliahan.
7. Seluruh Dosen dan Karyawan Program Studi Teknik Elektro Fakultas Teknik Universitas Katolik Soegijapranata.
8. Zafnat Paneah El Dwiando sebagai rekan kerja praktek sekaligus rekan satu kelompok yang telah banyak membantu secara moril maupun secara materil dalam menyelesaikan Tugas Akhir.
9. Teman-teman Teknik Elektro angkatan 2015 yang telah menjadi teman seperjuangan melewati masa-masa perkuliahan.
10. Seluruh teman - teman Program Studi Teknik Elektro Universitas Katolik Soegijapranata.

Semarang, 20 Juli 2020



Yoshua Oktavianis Harendra

HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI KARYA ILMIAH UNTUK KEPENTINGAN AKADEMIS

Yang bertanda tangan dibawah ini:

Nama : Yoshua Oktavianis Harendra

Program studi : Teknik Elektro

Fakultas : Teknik

Jenis karya : Penelitian

Menyetujui untuk memberikan kepada Universitas Katolik Soegijapranata Semarang Hak Bebas Royalti Noneksklusif atas karya ilmiah yang berjudul **“STRATEGI KENDALI BERBASIS FPGA UNTUK MOTOR BLDC TIGA FASA”** beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Katolik Soegijapranata berhak menyimpan, mengalihkan media/formatkan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan mempublikasikan tugas akhir ini selama tetap mencantumkan nama saya sebagai penulis / pencipta dan sebagai pemilik Hak Cipta. Demikian pernyataan ini saya buat dengan sebenarnya.

Semarang, 20 Juli 2020

Yang menyatakan



Yoshua Oktavianis Harendra

DAFTAR ISI

HALAMAN JUDUL	i
LEMBAR PENGESAHAN	ii
PERNYATAAN KEASLIAN LAPORAN TUGAS AKHIR (SKRIPSI)	iii
ABSTRAK	iv
KATA PENGANTAR	vi
HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI KARYA ILMIAH UNTUK KEPENTINGAN AKADEMIS	viii
DAFTAR ISI	ix
DAFTAR GAMBAR	xii
DAFTAR TABEL	xv
BAB I PENDAHULUAN	1
1.1. Latar Belakang.....	1
1.2. Perumusan Masalah.....	2
1.3. Pembatasan Masalah.....	2
1.4. Tujuan dan Manfaat.....	3
1.5. Metodologi Penelitian	3
1.6. Sistematika Penulisan	5
BAB II DASAR TEORI	7
2.1. Pendahuluan	7
2.2. <i>Analog to Digital Converter (ADC)</i>	8
2.3. <i>Pulse Width Modulation (PWM)</i>	10
2.4. <i>Field Programmable Gate Array (FPGA)</i>	12

2.4.1.	<i>VHSIC Hardware Description Language (VHDL)</i>	14
2.4.2.	Verilog	15
2.4.3.	Diagram Skematik	16
2.5.	<i>Insulated Gate Bipolar Transistor (IGBT)</i>	17
2.6.	Sensor Arus	18
2.7.	Dasar – Dasar Motor BLDC	19
BAB III PERANCANGAN KENDALI KECEPATAN MOTOR BLDC		
	BERBASIS FPGA	21
3.1.	Pendahuluan	21
3.2.	ADC tipe 0820	21
3.3.	FPGA Altera Cyclone IV	23
3.4.	Implementasi PWM berbasis FPGA	24
3.5.	Implementasi Pola Komutasi Pensaklaran IGBT Berbasis FPGA	25
3.6.	Rangkaian <i>Driver</i> Pengendali Motor BLDC	28
3.7.	Rangkaian Sensor Arus tipe LEM HX 10-P	30
3.8.	Rangkaian <i>Inverter</i> Tiga Fasa Tiga Lengan	31
3.9.	Catu Daya DC-DC <i>Isolated</i> B1212s	34
3.10.	Blok Kendali Kecepatan Motor BLDC Berbasis FPGA	35
BAB IV HASIL DAN PEMBAHASAN		37
4.1.	Pendahuluan	37
4.2.	Hasil Pengujian Alat	37
4.3.	Pembahasan	50
BAB V PENUTUP		52

5.1.	Kesimpulan	52
5.2.	Saran	52
DAFTAR PUSTAKA		53
LAMPIRAN		57



DAFTAR GAMBAR

Gambar-2.1 Kecepatan sampling rendah pada ADC	9
Gambar-2.2 Kecepatan sampling tinggi pada ADC	9
Gambar-2.3 Bentuk sinyal PWM	11
Gambar-2.4 Diagram Perbedaan FPGA dan DSP	13
Gambar-2.5. IC FPGA rakitan Xilinx (a) blok I/O (b) blok logika (c) blok RAM	14
Gambar-2.6 Arsitektur model VHDL	15
Gambar-2.7 Diagram blok rancangan program Verilog	16
Gambar-2.8 Diagram skematik rangkaian D-flipflop	17
Gambar-2.9 Konfigurasi rangkaian saklar IGBT	18
Gambar-2.10 Skema rangkaian sensor arus LEM LAS 100-TP	19
Gambar-2.11 Konstruksi motor BLDC	20
Gambar-3.1 ADC tipe 0820	22
Gambar-3.2 Rangkaian ADC tipe 0820 sebagai masukan FPGA	23
Gambar-3.3 Modul FPGA Altera Cyclone IV	24
Gambar-3.4 Diagram blok pemrograman PWM variable <i>duty cycle</i> menggunakan FPGA	25
Gambar-3.5 Diagram skematik kendali kecepatan motor BLDC	27
Gambar-3.6 IC <i>buffer</i> 74CHC541N	29
Gambar-3.7 Rangkaian <i>driver optocoupler</i> TLP250	29
Gambar-3.8 Skema rangkaian sensor arus tipe LEM HX 10-P	31
Gambar-3.9 Rangkaian konfigurasi <i>inverter</i> tiga fasa tiga lengan pengendali motor BLDC	32
Gambar-3.10 Pola pensaklaran <i>inverter</i> tiga fasa tiga lengan	33
Gambar-3.11 Komponen catu daya B1212s <i>isolated</i>	34

Gambar-3.12 Diagram blok pengendalian kecepatan motor BLDC berbasis FPGA Altera Cyclone IV	36
Gambar-4.1 Prototipe alat Tugas Akhir untuk eksperimen	39
Gambar-4.2 Hasil pengujian (a) PWM <i>duty cycle</i> 100% (b) PWM <i>duty cycle</i> 50% (c) PWM <i>duty cycle</i> 25%	39
Gambar-4.3 Hasil pengujian (a) Sensor <i>hall effect</i> 1 (b) Sensor <i>hall effect</i> 2 (c) Sensor <i>hall effect</i> 3	40
Gambar-4.4 Hasil pengujian laboratorium (a) sinyal S1, (b) sinyal S2, (c) sinyal S3, (d) sinyal S4 dengan injeksi PWM <i>duty cycle</i> 100% yang dihasilkan oleh FPGA	42
Gambar-4.5 Hasil pengujian laboratorium (a) sinyal S1, (e) sinyal S5, (f) sinyal S6 dengan injeksi PWM <i>duty cycle</i> 100% yang dihasilkan oleh FPGA	42
Gambar-4.6 Hasil pengujian laboratorium (a) sinyal S1, (b) sinyal S2, (c) sinyal S3, (d) sinyal S4 dengan injeksi PWM <i>duty cycle</i> 50% yang dihasilkan oleh FPGA	42
Gambar-4.7 Hasil pengujian laboratorium (a) sinyal S1, (e) sinyal S5, (f) sinyal S6 dengan injeksi PWM <i>duty cycle</i> 50% yang dihasilkan oleh FPGA	43
Gambar-4.8 Hasil pengujian laboratorium (a) sinyal S1, (b) sinyal S2, (c) sinyal S3, (d) sinyal S4 dengan injeksi PWM <i>duty cycle</i> 25% yang dihasilkan oleh FPGA	43
Gambar-4.9 Hasil pengujian laboratorium (a) sinyal S1, (e) sinyal S5, (f) sinyal S6 dengan injeksi PWM <i>duty cycle</i> 25% yang dihasilkan oleh FPGA	44
Gambar-4.10 Hasil pengujian (a) Gelombang tegangan Va dengan injeksi PWM <i>duty cycle</i> 100% (b) Gelombang tegangan Vb dengan injeksi PWM <i>duty cycle</i> 100% (c) Gelombang tegangan Vc dengan injeksi PWM <i>duty cycle</i> 100%	46
Gambar-4.11 Hasil pengujian (a) Gelombang arus fasa A dengan injeksi PWM <i>duty cycle</i> 100% (b) Gelombang arus fasa B dengan injeksi PWM <i>duty cycle</i> 100% (c) Gelombang arus fasa C dengan injeksi PWM <i>duty cycle</i> 100%	46
Gambar-4.12 Hasil pengukuran kecepatan motor BLDC yang diinjeksi PWM <i>duty cycle</i> 100% menghasilkan kecepatan 2358.4 RPM	46

Gambar-4.13 Hasil pengujian (a) Gelombang tegangan V_a dengan injeksi PWM <i>duty cycle</i> 50% (b) Gelombang tegangan V_b dengan injeksi PWM <i>duty cycle</i> 50% (c) Gelombang tegangan V_c dengan injeksi PWM <i>duty cycle</i> 50%	47
Gambar-4.14 Hasil pengujian (a) Gelombang arus fasa A dengan injeksi PWM <i>duty cycle</i> 50% (b) Gelombang arus fasa B dengan injeksi PWM <i>duty cycle</i> 50% (c) Gelombang arus fasa C dengan injeksi PWM <i>duty cycle</i> 50%	47
Gambar-4.15 Hasil pengukuran kecepatan motor BLDC yang diinjeksi PWM <i>duty cycle</i> 50% menghasilkan kecepatan 1248.6 RPM	47
Gambar-4.16 Hasil pengujian (a) Gelombang tegangan V_a dengan injeksi PWM <i>duty cycle</i> 25% (b) Gelombang tegangan V_b dengan injeksi PWM <i>duty cycle</i> 25% (c) Gelombang tegangan V_c dengan injeksi PWM <i>duty cycle</i> 25%	48
Gambar-4.17 Hasil pengujian (a) Gelombang arus fasa A dengan injeksi PWM <i>duty cycle</i> 25% (b) Gelombang arus fasa B dengan injeksi PWM <i>duty cycle</i> 25% (c) Gelombang arus fasa C dengan injeksi PWM <i>duty cycle</i> 25%	48
Gambar-4.18 Hasil pengukuran kecepatan motor BLDC yang diinjeksi PWM <i>duty cycle</i> 25% menghasilkan kecepatan 643.7 RPM	48
Gambar-4.19 Hasil pengujian (a) Gelombang tegangan V_a dengan injeksi PWM <i>duty cycle</i> 100% (b) injeksi PWM <i>duty cycle</i> 50% (c) injeksi PWM <i>duty cycle</i> 25%	49
Gambar-4.20 Hasil pengujian (a) Gelombang arus fasa A dengan injeksi PWM <i>duty cycle</i> 100% (b) injeksi PWM <i>duty cycle</i> 50% (c) injeksi PWM <i>duty cycle</i> 25%	50

DAFTAR TABEL

Tabel-3.1 Konfigurasi Pensaklaran motor BLDC	33
Tabel-3.2 Spesifikasi DC/DC <i>Isolated</i> B1212s	35
Tabel-4.1 Parameter hasil pengukuran kecepatan motor BLDC berbasis FPGA	50

